

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-327409

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

H03H 17/02

(21)Application number : 04-155725

(71)Applicant : SONY CORP

(22)Date of filing : 22.05.1992

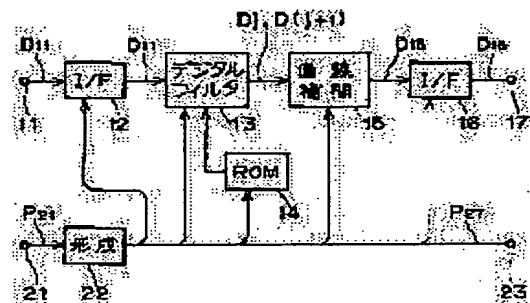
(72)Inventor : NOGUCHI MASAYOSHI
YAMADA MAKOTO

(54) RATE CONVERSION METHOD AND ITS CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To provide a rate conversion method and its conversion circuit able to obtain a sufficient characteristic practically from a ROM of even a small capacity.

CONSTITUTION: The conversion circuit is provided with a digital filter 13 receiving a 1st digital signal D11 to implement oversampling for a multiple of (m) ($m > 2$ being an integral number) of a 1st sampling frequency and with an interpolation circuit 15 implementing linear interpolation with respect to an input signal. Operation by the digital filter 13 is applied to the 1st digital signal D11 at points of 1st and 2nd times having a 2nd digital signal D15 before and after inbetween timewise among point of times t_1 – t_m being m-equal divisions of a period of the 1st digital signal D15. The result of the operation at the 1st and 2nd point of times is fed to the interpolation circuit 15, from which a 2nd digital signal D15 is obtained.



LEGAL STATUS

[Date of request for examination] 18.05.1999

[Date of sending the examiner's decision of rejection] 12.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

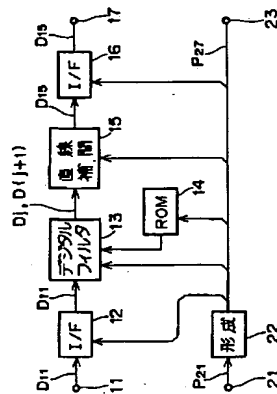
[Date of extinction of right]

(51)Int.Cl. [*] H 0 3 H 17/02	職別記号 庁内整理番号 D 7037-5J H 7037-5J	F I	技術表示箇所
(21)出願番号 (22)出願日	特願平4-155725 平成4年(1992)5月22日	(71)出願人 (72)発明者 (72)発明者 (74)代理人	審査請求 未請求 請求項の数4(全7頁) ソニー株式会社 東京都品川区北品川16丁目7番35号 野口 雅哉 東京都品川区北品川16丁目7番35号 ソニー株式会社内 山田 誠 東京都品川区北品川16丁目7番35号 ソニー株式会社内 井理士 佐藤 正美

(57)【要約】

【目的】 小容量のROMであっても、実用上、十分な特性を得ることができるシート変換方法及びその変換回路を提供する。

【構成】 第1のデジタル信号D11が供給され、第1のサンプリング回数 m 倍の m 倍 ($m > 2$ の整数) のオーバーサンプリングを行うデジタルフィルタ13を設ける。入力信号に対して直接補間を行う補間回路15を設ける。第1のデジタル信号D11の周期を m 等分する時点 $t_1 \sim t_m$ のうち、第2のデジタル信号D15を時間的に前後から挟む第1及び第2の時点に、第1のデジタル信号D11に対してデジタルフィルタ13の演算を行う。第1及び第2の時点における演算の結果を、補間回路15に供給して第2のデジタル信号D15を得る。



【請求項1】 第1のサンプリング周波数の第1のデジタル信号を、第2のサンプリング周波数の第2のデジタル信号にレート変換する場合において、

記第1のデジタル番号の周期を m 等分 ($m > 2$) の整
 数 n (取) する時点を決めこの m 等分する時点のうち、上記第
 2のデジタル番号を時間的に前後から挟む第1及び第2
 の時点に、上記第1のデジタル番号に対して上記 m 倍の
 オーバーサンプリングを行い、

上記第1及び第2の時点における上記オーバーサンプリングの結果を、直線補間して上記第2のデジタル信号を得るようにしたレートを変換方法。

【請求項2】 第1のサンプリング周波数の第1のデジタル信号と、第2のサンプリング周波数の第2のデジタル信号との位相を比較する手段において、

上記第1のデジタル信号と、上記第2のデジタル信号との最小公倍数の周期における、上記第2のデジタル信号の周期数を $m \cdot n$ (m, n は2以上の整数)とすると

上記第 1 のデジタル信号の同期を m 等分する時点を求

この m 等分する時点のうち、上記第 2 のデジタル信号の直前の第 1 の時点及びこの第 1 の時点に続く第 2 の時点之前、上記第 1 のデジタル信号に対して m 倍のオーバーサンプリングを行い

上記第1の時点と、上記第2の時点との間の期間を n 等分する時点を求め、

このへり分する時点のうち、上記第2のデジタル番号に時間位置が一致する時点のデータを、上記第1及び第2の時点における上記オーバーサンプリングの結果を直線補間して求め、

この直線補間によるデータを上記第2のデジタル信号と
して取り出すようにしたレート変換方法。

【請求項3】 第1のサンプリング周波数の第1のデジタル信号、第2のサンプリング周波数の第2のデジタル信号を、第2のサンプリング周波数のレート変換回路において、上記第1のデジタル信号が供給され、上記第1のサンプリング周波数の m 倍 ($m > 2$ の整数) のオーバーサンプリング周波数を行うデジタルフィルタと、

入力番号に対して直線探索を行う欄回路とを有し、上記第1のデジタル番号の周期を m 等分する時点のうち、上記第2のデジタル番号を時間的に前後から挟む第1及び第2の時点に、上記第1のデジタル番号に対して上記デジタルフィルタの演算を行い、

上記第1及び第2の時点における上記演算の結果を、上記第2のデジタル信号を得るために上記第2のデジタル信号回路に供給して上記第2のデジタル信号を得るようにしたレートを変換回路。

【請求項4】 第1のサンプリング周波数の第1のデジタル信号を、第2のサンプリング周波数の第2のデジタル信号を、第2のサンプリング周波数の第2のデジタル信号にレートを変換するレート変換回路において、

上記第1のデジタル信号と、上記第2のデジタル信号との最小公倍数の同期における、上記第2のデジタル信号の周期数を $m \cdot n$ (m, n は2以上の整数) とすると

上記第1のデジタル信号が供給され、上記第1のサンプリング周波数のm倍のオーバーサンプリングを行うデジタリフィルタと、

入出力番号に対して直読補間を行う補間回路とを有し、上記デジタルフィルタにおいて、上記第1のデジタル信号の同期を、 m 等分する時点のうち、上記第2のデジタル信号を時間的に前後から挟む第1及び第2の時間に、上記第1のデジタル信号に対して m 倍のオーバーサンプリングを行い、

この直線補間によるデジタル信号と、上記第2のデジタル信号との差を、上記第2のデジタル信号の振幅に等しい値に調整し、上記第2のデジタル信号と調整されたデジタル信号との和を、上記第2のデジタル信号として取り出すようにしたレイトワーク回路。

【発明の詳細な説明】

100017

【産業上の利用分野】この発明は、デジタルデータのし
ー卜交換方法及びその交換回路に関する。

[0002]

【従来の技術】例えばデジタルオーディオ機器においては、デジタルオーディオ信号のサンプリング周波数として、一般に48 kHz、44.1 kHz、32 kHzが使用されてい

【0003】このため、デジタルオーディオ信号に対して、そのサンプリング周波数の変更、すなわち、レート変換を必要とすることがある。

【0004】そして、このレート変換の方法として、

◎ 直轄捕房に上り監禁する女子生徒

② 選択的なオーバーサンプリングにより直接変換する

が守りにあてゐる

【0005】すなわち、①の方法の場合には、ものとア
ナログオーディオ信号が、図5Bの突線の曲線で示さ
れ、レート変換前のクロック(A/D変換点)が、図5
Aで示されるとすれば、レート変換前のデジタルオーディ
オ信号は、図5Bにおいて印刷付けたデータとな
る。そして、レート変換後のクロックが、図5Cで示さ
れるとすれば、破線で示すように、これら●印を結ぶ直
線を仮定し、その×印を付けたデータを、レート変換し
たデジタルオーディオ信号として取り出す。

【0006】また、②の方法の場合には、レート変換前のデジタルオーディオ信号のサンプリング周波数と、レート変換後のデジタルオーディオ信号のサンプリング周波数の最小公倍数を、オーバーサンプリングの同波数

とする。そして、変換後のサンプリング点と一致するレート変換前のオーバーサンプリング点について、実際の計算を行い、レート変換されたデジタルオーディオ信号を得るものである。

【0007】

【発明が解決しようとする課題】ところが、①の方法の場合には、直線補間のため、図5からも明らかなように、レート変換後のデジタルオーディオ信号におけるレベルの跳ぎが大きくなることがある。さらに、折り返し成分を十分に減衰させることができない。

【0008】また、②の方法の場合には、オーバーサンプリングの周波数が、レート変換前のデジタルオーディオ信号のサンプリング周波数と、レート変換後のデジタルオーディオ信号のサンプリング周波数との最小公倍数となるので、変換するレートの組み合わせが例えば44.1kHz及び48kHzのときには、最小公倍数が大きくなってオーバーサンプリングの倍率あるいは周波数がきわめて高くなってしまふ。この結果、オーバーサンプリングに使用するデジタルフィルタの乗算回路の数がきわめて多くなり、その乗算係数を与えるROMとして、膨大な容量のものが必要となってしまう。

【0009】この発明は、以上のような問題を解決しようとするものである。

【0010】

【課題を解決するための手段】このため、この発明においては、各部の参照符号を後述の実施例に対応させること、第1のサンプリング周波数の第1のデジタル信号D1を、第2のサンプリング周波数の第2のデジタル信号D15にレート変換する場合において、第1のデジタル信号D11が供給され、第1のサンプリング周波数のm倍のオーバーサンプリングを行うデジタルフィルタ13と、入力信号に対して直線補間を行う補間回路15とを設け、第1のデジタル信号D11の周期 τ をm等分する時点 $t1 \sim tm$ のうち、第2のデジタル信号D15を時間的に前後から挟む第1及び第2の時点に、第1のデジタル信号D11に対してデジタルフィルタ13の演算を行い、第1及び第2の時点における演算の結果を、補間回路15に供給して第2のデジタル信号D15を得るようにしたものである。

【0011】

【作用】第1のデジタル信号D11は、デジタルフィルタ13において、必要な特性が得られる倍率mでオーバーサンプリングされるときにも、そのオーバーサンプリングは、第2のデジタル信号D15を時間的に前後から挟む第2つの時点においてのみ、実行される。そして、このオーバーサンプリングの結果が、補間回路15により直線補間されて第2のデジタル信号D15が取り出される。

【0012】

【実施例】図1において、レート変換前のデジタルオーディオ信号に同期したクロックP21が、端子21を通じ

て信号形成回路22に供給されて各種の制御信号及びタイミング信号が形成され、これら信号が、後述の回路12～16にそれぞれ供給される。また、形成回路22においては、レート変換後のデジタルオーディオ信号に同期したクロックP27も形成され、このクロックP27が端子27に取り出される。

【0013】図3AはクロックP21を示し、図3CはクロックP27を示すもので、クロックP21、P27は、最小公倍数の周期で、時間位置が一致する。なお、クロックP21の出置する時点と時点T1、T2、T3、……とするとともに、その周期を τ とする。

【0014】そして、レート変換前のデジタルオーディオ信号D11が、端子11から入力インターフェイス回路12を通じてデジタルフィルタ13に供給される。この例においては、フィルタ13は、信号D11に対して4倍のオーバーサンプリングを行うものである。このため、フィルタ13は、例えば図2に示すように、信号D11が直列に供給される5段の遅延回路D11～D15と、信号D11及び遅延回路D11～D15の遅延出力が供給される6つの乗算回路M11～M16と、その乗算出力が供給される加算回路M17により、FIR型に構成される。

【0015】さらに、14は係数用ROMで、このROM14に乗算回路M11～M16において使用される乗算係数、例えば図3Eに示すような乗算係数 $k1 \sim k25$ が格納され、所定のものが選択されて乗算回路M11～M16にセットされる。

【0016】そして、この例においては、フィルタ13が4倍のオーバーサンプリングを行うのであるから、そのオーバーサンプリング点は、図3Bに示すように、クロックP21の周期 τ を4等分する時点 $t1 \sim t4$ となる。

【0017】そして、本来ならば、このすべて周期 τ のすべての時点 $t1 \sim t4$ で、フィルタ13の演算を必要とするとしても、その演算ごとにROM14から乗算回路M11～M16にそれぞれ乗算係数をセットする必要がある。

【0018】しかし、この発明においては、図3B～Dに示すように、例えば、時点T4と時点T5との間の期間であれば、クロックP27が、時点 $t3$ と時点 $t4$ との間の期間に位置するので、この時点 $t3$ と時点 $t4$ とについて、フィルタ13の演算が実行される。すなわち、一般的には、時点 $t1 \sim t4$ のうち、クロックP27の直前の時点と時点 tj とすれば、この時点 tj と、続く時点 $t(j+1)$ とにおいてのみ、フィルタ13の演算が実行される（ j は1～4のいずれか、 $j=4$ のとき、 $j+1=1$ とする）。

【0019】例えば、時点T4と時点T5との間の期間の時点 $t3$ であれば、ROM14に格納されている乗算係数 $k1 \sim k25$ （図3E）のうち、●印を付けた4つ

おきの係数 $k3$ 、 $k7$ 、 $k11$ 、 $k15$ 、 $k19$ 、 $k23$ が、ROM14から取り出され、この取り出された乗算係数 $k1 \sim k25$ に示すように、フィルタ13の乗算回路M11～M16にセットされて演算が実行される。

【0020】そして、このフィルタ13の演算出力が、直線補間回路15に供給される。この補間回路15は、図4A～Cに示すように（図4は、図3に対して時間軸を拡大している）、時点 tj 、 $t(j+1)$ におけるフィルタ13の演算出力を、値 Dj 、 $D(j+1)$ とすれば、これら値 Dj 、 $D(j+1)$ から、直線補間により、クロックP27の時点における値 Di を算出するものである。

【0021】こうして、補間回路15からは、クロックP27ごとに、そのクロックP27の時点におけるデータ Di が取り出される。

【0022】この取り出されたデータ Di は、レート変換後のクロックP27ごとに得られるので、レート変換されたデジタルオーディオ信号にほかならない。そこで、このデータ $D15 (= Di)$ が、出力インターフェイス回路16を通じて端子17にレート変換されたデジタルオーディオ信号D15として出力される。

【0023】こうして、デジタルオーディオ信号のレート変換を行うことができるが、一般的には、次のとおりである。

【0024】1. レート変換前の信号D11（クロックP21）と、レート変換後の信号D15（クロックP27）との最小公倍数の周期における、信号D15の同期数を $m \cdot n$ とする（ m 、 n は2以上の整数）。

2. レート変換前の信号D11のサンプリング周波数の m 倍のオーバーサンプリングを行うデジタルフィルタ13を設ける。

3. フィルタ13の出力に対して、直線補間を行う補間回路15を設ける。

4. レート変換前の信号D11の同期 τ を、 m 等分する時点 $t1 \sim tm$ を定める。

5. 時点 $t1 \sim tm$ のうち、レート変換後のクロックP27の直前の時点と時点 tj とするとき、この時点 tj と、続く時点 $t(j+1)$ とにおいてのみ、フィルタ13の演算を実行する（ j は1～ m のいずれか、 $j=m$ のとき、 $j+1=1$ とする）。この演算結果を、値 Dj 、 $D(j+1)$ とする。

6. 時点 tj と、時点 $t(j+1)$ との間の期間を、 n 等分する。

7. n 等分による時点のうち1つの時点 ti が、1項により、レート変換後の信号D15の時点に一致するので、この一致する時点 ti における値 Di を、値 Dj 、 $D(j+1)$ から直線補間により求める。すなわち、 $Di = (D(j+1) - Dj) \cdot (N/n) + Dj$ 、 N ：時点 tj からの時点 ti の順番から、値 Di を求めると、 Di の求めた値 Di を、レート変換された信号D15とし

て出力する。

以上のようにすれば、任意のレート変換を行うことができる。

【0025】ただし、その場合、値 m を大きくすると、折り返し成分の減衰量を大きくすることができるが、この値 m に比例してROM14の容量が大きくなる。【0026】そこで、この発明においては、値 m は折り返し成分を許容できる最小値に選択する。そして、そのようにすれば、ROM14の容量を、上述した②の方法の場合の $1/n$ にすることができる。

【0027】つまり、値 m を大きくすれば、理論的には、それだけレート変換特性が良くなるが、実際には、レート変換前の信号D11の特性などに限界があり、レート変換特性は必ず最小値となる程度に小さい値 m を選択し、値 n を大きくする。そのようにすれば、ROM14の容量を $1/n$ にすることができる。

【0028】例えば、サンプリング周波数を44.1kHzから32kHzにレート変換する場合であれば、 $m \cdot n = 320$ になるが、例えば $m=40$ 、すなわち、フィルタ13のオーバーサンプリングを40倍とする。すると、 $n=8$ となり、ROM14の容量を $1/8$ に削減することができる。

【0029】

【発明の効果】この発明によれば、デジタルフィルタ13及び直線補間回路15によりレート変換を行うようにしたので、デジタルフィルタ13の係数用ROM14の容量を $1/n$ に小さくすることができる。

【0030】また、1組のレート変換に必要な乗算係数の数が $1/n$ になるので、複数のレート変換に必要な乗算係数のすべてを、ROM14に用意することもでき、複数のレート変換モードに対応できる変換回路を、1チップのLSIで実現することができる。

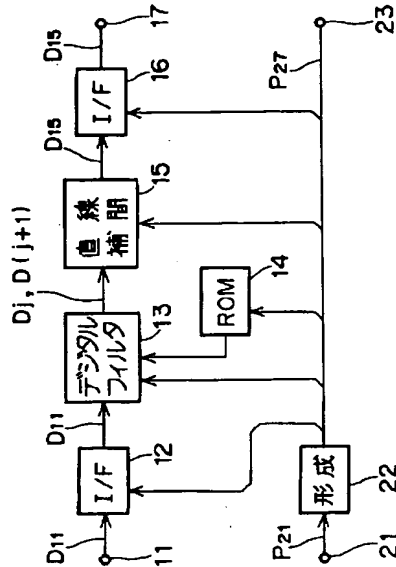
【0031】さらに、値 m として大きな値が必要な場合には、フィルタ13におけるオーバーサンプリングの演算回数及び演算時間が問題となるが、この発明においては、レート変換後の信号D15（クロックP27）を挟む前後の時点 tj 、 $t(j+1)$ についてのみ、オーバーサンプリングの演算を行えばよいので、すなわち、レート変換後の信号D15の2倍の数だけオーバーサンプリングの演算を行えばよいので、演算回数が値 m に影響されないとともに、処理時間に余裕がある。

【0032】また、ROM14は、例えば4倍のオーバーサンプリングに必要なすべての乗算係数 $k1 \sim k25$ を有しているが、1回の演算では、図3Eの例えば●印の位置の乗算係数、すなわち、乗算係数 $k1 \sim k25$ のうち4つ（ $=m$ ）おきの乗算係数を、例えば図2に示すように、乗算回路M11～M16にセットして使用することができる。値 m の大ききによって演算回数が低化することが

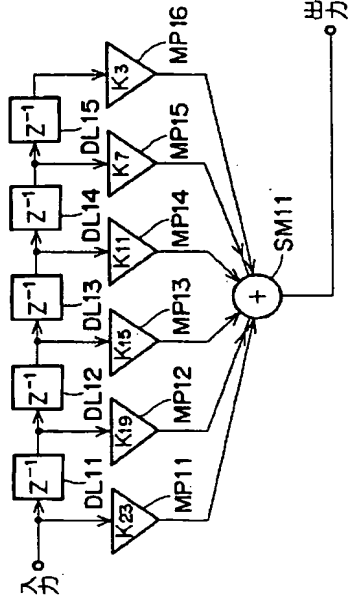
なく、したがって、番号D15の1サンプルを求めるのに必要とする演算時間も値mに影響されない。
【図面の簡単な説明】
【図1】この発明の一例を示す系統図である。
【図2】図1の一部の一例を示す系統図である。
【図3】図1の動作を説明するための図である。
【図4】図1の動作を説明するための図である。
【図5】従来例を説明するための図である。

- 【符号の説明】
12 入力インターフェイス回路
13 デジタルフィルタ
14 係数用ROM
15 直線補間回路
16 出力インターフェイス回路
22 信号形成回路

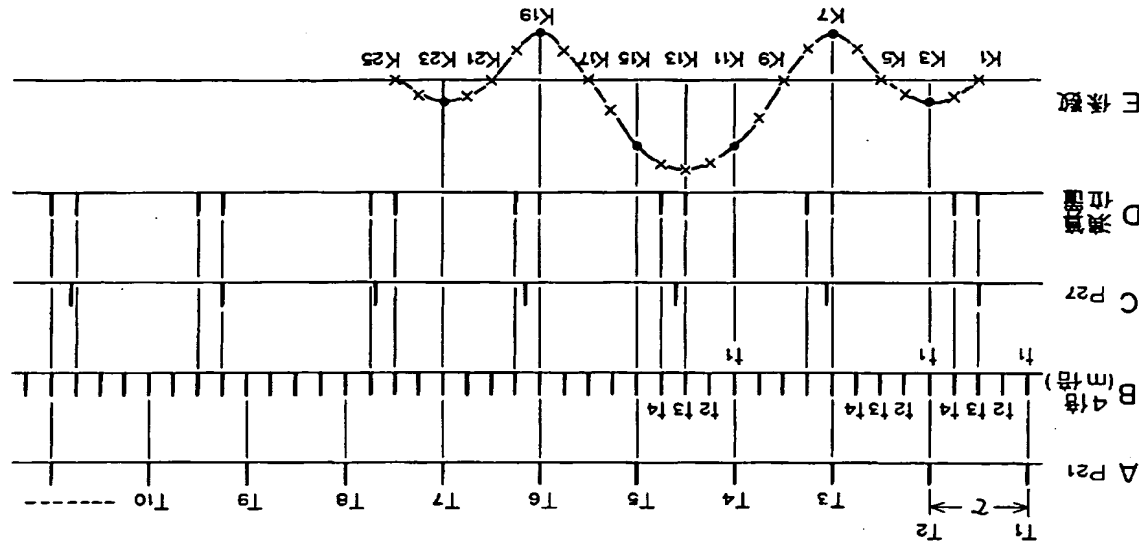
【図1】



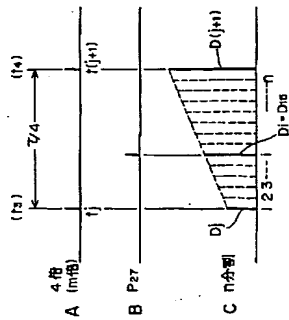
【図2】



【図3】



【図4】



【図5】

